

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-201234

(43)Date of publication of application : 31.07.1998

(51)Int.Cl.

H02M 7/06

G05F 1/10

H02M 1/00

H02M 1/14

H02M 7/10

(21)Application number : 09-005102

(71)Applicant : HITACHI DENSHI LTD

(22)Date of filing : 14.01.1997

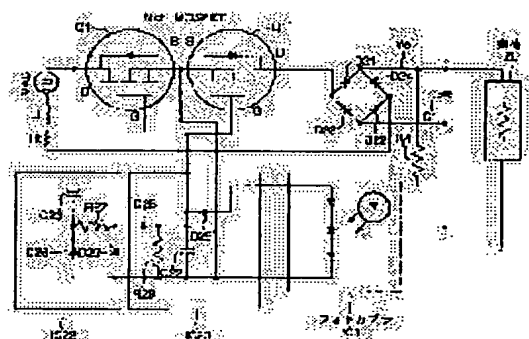
(72)Inventor : NAKAMURA KAZUHIKO

(54) RECTIFYING AND SMOOTHING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a rush current when the power is turned on by introducing a circuit structure in which a semiconductor element is used as a limiting resistor to limit rush current when the power is turned on and a short-circuit switch of this limiting resistor using a semiconductor element which can control non-saturated operation.

SOLUTION: When the power is turned on, a conductive resistance of non-saturated semiconductor elements Q1, Q1' is gradually reduced at the time constant which is longer than the period of AC power supply with a drive circuit IC1. When the smoothing capacitor C1 is charged and an output of rectifying circuit Vo rises up to the constant voltage, the non-saturated semiconductor elements Q1, Q1' raise an output of rectifying circuit Vo up to the normal condition by increasing again the charging current of the drive circuit IC1. As the semiconductor element which has a higher conductive resistance when a control electrode is opened, higher control electrode impedance, is capable of controlling non-saturated operation and also has a lower conductive saturated voltage, MOSFET and high hfe and low saturated transistor may be used as the lower voltage element and IGBT element, CIFET and enhance mode electrostatic induction transistor may also be used as the high voltage and large current element.



LEGAL STATUS

[Date of request for examination] 20.03.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

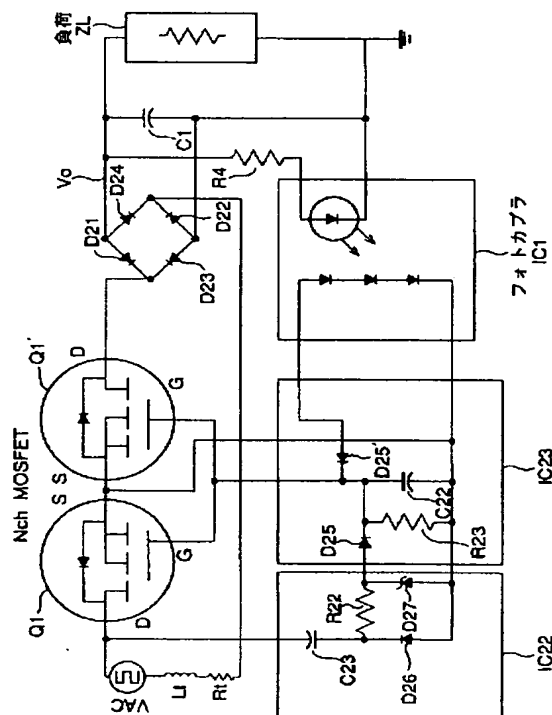
[Patent number] 3487573

[Date of registration] 31.10.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]



【特許請求の範囲】

【請求項1】 交流電源を整流平滑する回路において、整流ダイオードと直列に非飽和動作が制御可能な半導体素子を接続し、交流電源投入に応じて該半導体素子を交流電源の周期より長い時定数で徐々に非飽和に導通制御した後に該半導体素子を全導通制御することを特徴とする整流平滑回路。

【請求項2】 請求項1に記載の整流平滑回路において、該半導体素子に制御電極インピーダンスが高く、かつ制御電極が開放時に導通抵抗が高く、かつ全導通時の導通飽和電圧の低い素子を用い、該半導体の出力の電位を基準とし、交流電源入力電圧を交流結合後に整流した電気信号を交流電源の周期より長い時定数で積分した電圧で該半導体素子の制御電極を駆動することを特徴とする整流平滑回路。

【請求項3】 請求項1または2に記載の整流平滑回路において、平滑容量の出力の電位で抵抗を介して駆動したLEDの光を受けるフォトダイオードの出力電力で該半導体素子の制御電極を駆動することを特徴とする整流平滑回路。

【請求項4】 請求項2において、交流結合後の整流ダイオード前に充電積分抵抗を配置し、かつ該半導体が非飽和動作となる制御電圧に充電積分抵抗の出力電圧を制限し、平滑容量の出力の電位で抵抗を介して駆動したLEDの光を受けるフォトダイオードの出力電力で、該半導体素子の制御電極を全導通動作となる制御電圧に駆動することを特徴とする整流平滑回路。

【請求項5】 請求項1において、整流ダイオードと平滑容量との間に該半導体素子を接続し、該整流ダイオードの出力の電位を基準とし、該半導体素子に制御電極インピーダンスが高く、かつ制御電極が開放時に導通抵抗が高く、かつ制御電極が接地で導通し、かつ導通飽和電圧の低い素子を用い、該整流ダイオードの出力の電位と接地電位とを抵抗で分割して該半導体素子の制御電極に接続し、該整流ダイオードの出力と該半導体素子の制御電極に積分容量を接続して、整流ダイオード出力の電圧を抵抗で分割して、交流電源の周期より長い時定数で積分した電圧で該半導体素子の制御電極を駆動することを特徴とする整流平滑回路。

【請求項6】 請求項5において、積分容量に該半導体の制御飽和電圧よりも低い電圧制限素子を並列接続して充電積分抵抗出力を制限し、分割抵抗や積分容量や電圧制限素子と該半導体素子の制御電極との間に抵抗を配置し、平滑容量の出力の電位で抵抗を介して駆動したLEDの光を受けるフォトダイオードの出力電力で該半導体素子の制御電極を駆動することを特徴とする整流平滑回路。

【請求項7】 請求項5において、積分容量に該半導体の制御飽和電圧よりも低い電圧制限素子を並列接続して

充電積分抵抗出力を制限し、分割抵抗や積分容量や電圧制限素子と該半導体素子の制御電極との間に抵抗を配置し、平滑容量の出力の電位で抵抗を介して駆動したスイッチで該半導体素子の制御電極を接地することを特徴とする整流平滑回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 交流電源を入力し、入力した交流電源を整流平滑して出力する整流平滑回路の改良に関するものである。

【0002】

【従来の技術】 従来、入力した交流電源を整流平滑する整流平滑回路において、その前段の交流電源トランスあるいは整流平滑回路における整流ダイオードまたは平滑容量の内部抵抗が小さい場合、電源投入時に整流平滑回路から出力される突入電流が大きくなる。そのため、整流ダイオードの前後に電力定格の大きい抵抗やサーミスタを挿入し、その突入電流を制限していた。従来、それら抵抗やサーミスタの抵抗値は、平滑容量との時定数を交流電源の数周期分の長さとする事で突入電流を上記抵抗値を有さない場合の数分の1に制限していた。

【0003】 ところで、サーミスタは突入電流による自己発熱で抵抗値が下がり、突入電流発生後の定常状態でのサーミスタの抵抗による電力損失を低減していた。または、固定抵抗で平滑容量を比較的小電流で充電した後に整流平滑回路出力から発生した方形波をトランス結合後に、整流して駆動したトライアックで固定抵抗を短絡するようにして、定常状態での固定抵抗による電力損失を低減していた。

【0004】 この場合、平滑容量が十分充電される前に、トライアックが導通すると、その導通後は再び突入電流が大きくなる。そこで平滑容量が十分充電されるように、整流回路出力が一定電圧を越えてから発生した方形波をトランス結合後に整流してトライアックのゲートを駆動していた。

【0005】 また、力率改善のため、スイッチング素子を用いたアクティブフィルタでも突入電流を制限できるが、回路が大規模になる上に電力損失が増加する。

【0006】 図4は、トライアックを用いた従来の整流平滑回路のブロック構成例を示した図である。図5、図6は正極性の整流回路での従来技術と本発明の両方の整流平滑回路の動作波形の様子を同時に示した図であり、交流電源トランスの出力 V_{ac} は絶対値 $|V_{ac}|$ で図示されている。図5および図6の実線は電源投入時の突入電流を制限しない場合の動作を示し、図5および図6の点線はトライアックを用いた従来の技術の電源投入時の突入電流を制限する場合の動作を示し、図5および図6の一点鎖線は本発明の電源投入時の突入電流を制限する場合の動作を示す。

【0007】 以下、図4、図5および図6を用いて、従

来の技術の動作を簡単に説明する。図4において、交流電源トランスの出力 V_{ac} はブリッジ整流ダイオードD1～D4と平滑容量C1とで直流化され、負荷ZLの両端に整流回路出力電圧 V_o を供給する。

【0008】電源投入時の突入電流を制限しない場合は、抵抗は交流電源トランスの内部抵抗 R_t と整流ダイオードの内部抵抗RDと平滑容量C1の内部抵抗RCとだけで非常に小さく、電源投入時は交流電源トランスのインダクタンスだけで突入電流はほぼ制限されることになり、電源投入時の交流電源の位相によっては、突入電流が定常時の電流値の数倍に達する場合がある。図5は突入電流が特に大きくなる場合の電源投入時の交流電源の位相を示し、図6は突入電流が比較的大きくならない場合の電源投入時の交流電源の位相を示したものである。

【0009】トライアックを用いた従来技術の場合、電源投入時は電流制限抵抗R1を介して平滑容量C1が充電されて、図5および図6のeの点線のように、整流回路出力電圧 V_o が一定電圧 V_{o1} まで立ち上がると方形波発生スイッチSW1の開閉により、発生した電圧を結合トランスT2がトライアックTRK1の制御電極2を基準に変換し、充電整流ダイオードD5で直流に変換後、充電積分抵抗R2と積分容量C2で定まる時定数後にトライアックTRK1のゲート電極Gを駆動してトライアックTRK1の電極1、電極2を導通させ、図5および図6のRの点線のように電流制限抵抗R1をトライアックの内部抵抗 R_{trk} で短絡し、図5および図6のiの点線のように平滑容量C1の充電電流を再び増大して、図5および図6のeの点線のように整流回路出力電圧 V_o を定常状態に引き上げる。

【0010】

【発明が解決しようとする課題】電源投入時の突入電流の制限を行う電力定格の大きい抵抗やトライアック駆動用結合トランスは、整流回路の小型化の妨げになる。

【0011】定常状態でのトライアックの導通電圧は約1Vなので導通電流のアンペア単位の値がそのまま電力損失のワット単位の同等な値に相当することになり、非常に電力が消費されることと。そのためトライアックの電力損失のために必要となる放熱板を用いることで整流回路の小型化の妨げになる。

【0012】

【課題を解決するための手段】本発明は、エンハンスメントモード等の制御電極が開放時に導通抵抗が高くかつ非飽和動作が制御できる半導体素子を用い、その半導体素子を電源投入時の突入電流の制限抵抗と制限抵抗の短絡スイッチとの両方に共用可能な回路構成として、電力定格の大きい抵抗を使用せずに、整流回路の電源投入時の突入電流を低減できるようにするものである。

【0013】さらに、本発明は、制御電極インピーダンスが高い半導体素子を用いて、半導体素子の駆動用結合

トランスを結合容量またはフォトカプラ等の小形部品に置き換える。そして、全導通時の導通飽和電圧の低い半導体素子を用いて、定常状態での半導体素子の導通電圧による電力損失を避け、放熱器を小型化するものである。

【0014】

【発明の実施の形態】図1、図2および図3は、正極性の整流回路での本発明用いた平滑整流回路のブロック構成例を示した図である。図5、図6において、一点鎖線は正極性の整流回路での本発明の動作を示す波形例であり、交流電源トランスの出力 V_{ac} は絶対値 $|V_{ac}|$ で表示されている。なお、負極性の場合については、ダイオードの極性を反転し、非飽和動作が制御できる半導体素子のnとpとを逆になるようにした素子に交換すれば良い。

【0015】図1は従来例のトライアックと同一位置に非飽和動作が制御できる半導体素子を使用した場合であり、非飽和半導体素子半導体Q1およびQ1'として、ソース同士を直列接続したNchMOSFETを2個用いた場合の本発明の一実施例を示す図である。

【0016】図2はトランスのセンタタップ出力の両波整流出力に非飽和動作が制御できる半導体素子を接続した構成を示したものであり、非飽和半導体素子半導体Q1として、NchMOSFETを用いた場合の本発明の一実施例を示した図である。図1、図2では駆動回路IC1としてダイオード出力フォトカプラを用い、駆動回路IC2またはIC22として容量結合した倍圧整流回路を用いている。

【0017】図3は図2と異なり、非飽和半導体素子半導体Q2'として、PchMOSFETを用いた場合の本発明の一実施例を示す図である。

【0018】図1、図2、図3、図5、図6において、 V_{ac} 、 V_{ac1} は交流電源トランスの出力、D1、D2、D11～D14、D21～D24は整流ダイオード、Q1、Q1'、Q2、Q2'は非飽和半導体素子、C1は平滑容量、ZLは負荷である。また、 L_t は交流電源トランスの出力インダクタンス、 R_t は交流電源トランスの内部抵抗、RDは整流ダイオードの内部抵抗、RCは平滑容量の内部抵抗、RMOSは非飽和半導体素子の内部抵抗である。

【0019】本発明においては、電源投入時は駆動回路で交流電源の周期より長い時定数で非飽和半導体素子の導通抵抗RMOSを徐々に下げて、平滑容量C1が充電されて、整流回路出力 V_o が一定電圧 V_{o1} まで立ち上がると、非飽和半導体素子を駆動回路IC1で完全に導通させ、平滑容量C1の充電電流を再び増大して整流回路出力 V_o を定常状態に引き上げる。

【0020】制御電極が開放時に導通抵抗が高くかつ制御電極インピーダンスが高くかつ非飽和動作が制御できかつ導通飽和電圧の低い半導体素子としては、低電圧用

ではMOSFETや高hfe低飽和電圧トランジスタ、高電圧大電流用ではIGBT素子やMOSFET制御サイリスタや高hfe低飽和電圧トランジスタやCarrier Injection Field Effect Transistor (以下CIFETと略す)やエンハンスメントモード静電誘導トランジスタ等がある。

【0021】以下、代表例として、MOSFETを使用した例について説明する。図1の非飽和半導体素子Q1、Q1'として、ソース同士を接続したMOSFETを2個使い、MOSFET Q1のドレインと交流電源Vacとを接続し、MOSFET Q1'とブリッジ整流ダイオードD21、D23のアノードとを接続する。または図2の非飽和半導体素子半導体Q2としてMOSFETを用い、MOSFET Q2のドレインと整流ダイオードD1とD2のカソードとを接続し、MOSFET Q2のソースと平滑容量C1とを接続する。

【0022】なお、図2のQ2について、NchMOSFETの代わりに非飽和半導体素子としてPchMOSFETを用い、MOSFET Q2のソースと整流ダイオードD1とD2のカソードとを接続し、MOSFET Q2のドレインと平滑容量C1とを接続したものを用いても良い。

【0023】また、図3のように、整流ダイオードの出力電圧と接地電位とを抵抗で分割してQ2'のゲートに接続し、Q2'のソースとゲートの間に積分容量C12を接続して、整流ダイオード出力の電圧を抵抗で分割して、抵抗R12と積分容量C12とで商用交流電源の周期より長い時定数で積分した電圧でQ2'のゲートを駆動してもよい。

【0024】なお、商用交流電源投入時はMOSFETのゲートソース間に商用交流電源の周期より長い時定数で立ち上がるスレッシュOLD電圧程度の電圧を与え、MOSFETを半導通として平滑容量を充電する電流を制限後に、平滑容量が十分充電されてから、該半導体素子を全導通とする。

【0025】以下、図1と図2と図5、図6の一点鎖線の波形とを用いて、本発明の実施例の動作を簡単に説明する。

【0026】図1と図2とでMOSFET Q1、Q1'またはQ2のソースの電圧を基準とし、入力側ドレインの電圧を駆動回路IC2またはIC22で容量結合後に倍圧整流した電気信号を商用交流電源の周期より長い時定数で積分した電圧でMOSFET Q1、Q1'またはQ2のゲートを駆動する。

【0027】平滑容量が十分充電されてくるとMOSFET Q1、Q1'またはQ2のソースの電圧と入力側ドレインの電圧との差は小さくなり、駆動回路IC2またはIC22の駆動電圧は充電されなくなる。そこで、整流回路出力Voが一定電圧Vo1まで立ち上がると、

整流回路出力Voで駆動した駆動回路IC1内のLEDの光を受けるフォトダイオードの出力電力でMOSFET Q1、Q1'またはQ2のゲートを駆動し、MOSFET Q1、Q1'またはQ2を完全に導通させ、図5および図6のRの一点鎖線のように導通抵抗RMOSをほぼ0にし、図5および図6のiの一点鎖線のように平滑容量C1の充電電流を再び増大して、図5および図6のeの一点鎖線のように整流回路出力Voを定常状態に引き上げる。

【0028】IGBTの使用例では上記MOSFETの使用例のゲートをゲート、ソースをエミッタ、ドレインをコレクタとすれば良い。MOSFET制御サイリスタの使用例では上記MOSFETの使用例のゲートをゲート、ソースをカソード、ドレインをアノード、高hfe低飽和電圧トランジスタの使用例では上記MOSFETの使用例のゲートをベース、ソースをエミッタ、ドレインをコレクタとすれば良いとすれば良い。

【0029】CIFETの使用例では上記MOSFETの使用例のソース、電圧駆動ゲート、ドレインはそのまま、正孔注入用のゲートGiを電圧駆動ゲートと同一時定数で立ち上がる電流駆動とすれば良い。

【0030】エンハンスメントモード静電誘導トランジスタの使用例では上記MOSFETの使用例のゲートをゲートとし、ソースをソースとし、さらに、ドレインをドレインとして、ゲートを電流駆動すれば良い。

【0031】以下、本発明の実施例についてより詳細に説明する。図1において、交流電源Vacはブリッジ整流ダイオードD21～D24と平滑容量C1とで直流化され、負荷ZLに整流回路出力Voを供給する。ここで、ソース同士を接続したMOSFET Q1、Q1'のドレインでそれぞれ交流電源Vacと、ブリッジ整流ダイオードD21とD23のアノードとを接続している。

【0032】図1においては、交流電源Vacを結合容量C23で容量結合後にMOSFET Q1およびQ1'のソースの電圧を基準とし、ダイオードD26とダイオードD25とで倍圧整流した電気信号を充電積分抵抗R22と積分容量C22とで商用交流電源の周期より長い時定数で積分した電圧でゲートを駆動する。MOSFET Q1またはQ1'のスレッシュOLD電圧やON抵抗が低すぎる場合はゲート電圧は電圧制限ツェナーダイオードD27でスレッシュOLD電圧程度の電圧に制限され、MOSFET Q1またはQ1'のON抵抗は比較的高く保たれ、平滑容量C1の充電電流は一定に制限される。

【0033】平滑容量C1が十分充電されてくるとMOSFETのソースの電圧と入力側ドレインの電圧との差は小さくなり、制御電極を駆動する電圧は充電されなくなる。そこで、平滑容量C1の出力の電位Voで駆動した駆動回路IC1内のLEDの光を受けるフォトダイオ

ードの出力電力でゲートを駆動し、MOSFET Q1、Q1'のON抵抗が低くなり損失が低減する。また、ダイオードD25はoffとなりダイオードD25'がonとなる。

【0034】次に、図2において、トランスのセンタタップ出力の交流電源Vac1は整流ダイオードD1、D2とで両波整流され、平滑容量C1とで直流化され、負荷ZLに整流回路出力Voを供給する。ここで、Nch MOSFET Q2のドレインとソースとで整流ダイオードD1とD2のカソードと、平滑容量C1とを接続している。

【0035】この図2においては、図1と同様に、交流電源Vac1を結合容量C3で容量結合後にMOSFET Q2のソースの電圧を基準とし、ダイオードD6とダイオードD5とで倍圧整流した電気信号を充電積分抵抗R2と積分容量C2とで商用交流電源の周期より長い時定数で積分した電圧でゲートを駆動する。MOSFET Q2のスレッシュホールド電圧やON抵抗が低すぎる場合はゲート電圧は電圧制限ツェナーダイオードD7でスレッシュホールド電圧程度の電圧に制限され、MOSFET Q2のON抵抗は比較的高く保たれ、平滑容量C1の充電電流は一定に制限される。

【0036】平滑容量C1が十分充電されてくると、MOSFETのソースの電圧と入力側ドレインの電圧との差は小さくなり、制御電極を駆動する電圧は充電されなくなる。

【0037】そして、図1と同様に、平滑容量C1の出力の電位Voで駆動した駆動回路IC1内のLEDの光を受けるフォトダイオードの出力電力でゲートを駆動し、MOSFET Q2のON抵抗が低くなり損失が低減する。また、ダイオードD5はoffとなりダイオードD5'がonとなる。

【0038】次に、図3において、図1と同様に、交流電源Vacはブリッジ整流ダイオードD11~D14と平滑容量C1とで直流化され、負荷ZLに整流回路出力Voを供給する。

【0039】図3では、整流ダイオード出力とPch MOSFET Q2'のソース、平滑容量C1とPch MOSFET Q2'のドレインを接続する。整流ダイオードの出力電圧と接地電位とを抵抗R12と抵抗R13で分割してQ2'のゲートに接続し、Q2'のソースとQ2'のゲートに積分容量C12を接続して、整流ダイオード出力の電圧を抵抗で分割して、抵抗R12と積分容量C12とで商用交流電源の周期より長い時定数で積分した電圧でQ2'のゲートを駆動する。MOSFET Q2'のスレッシュホールド電圧やON抵抗が低すぎる場合は、商用交流電源投入時はゲート電圧は電圧制限ツェナーダイオードD17でスレッシュホールド電圧程度の電圧に制限され、MOSFET Q2'のON抵抗は比較的高く保たれ、充電電流は一定に制限される。平滑容量C

1が十分充電されてから、整流出力の電位Voで駆動した駆動回路IC11内のトランジスタQ5のエミッターコレクタ電流でQ2'のゲートを駆動し、MOSFET Q2'のON抵抗が低くなり損失が低減する。また、ダイオードD15はoffとなりダイオードD15'がonとなる。

【0040】図1、図2において、非飽和半導体素子半導体Q1、Q1'またはQ2として、Pch MOSFETを用いた場合は、IC1内のLEDの光を受けるフォトダイオードの出力極性を逆にすれば良い。

【0041】また、図3において、非飽和半導体素子半導体Q2'として、PNPトランジスタを用いても良い。

【0042】

【発明の効果】本発明の整流回路では、電源投入時の突入電流の制限を行う電力定格の大きい抵抗やトライアック駆動用結合トランスが省略できるので、整流回路の小型化になる。

【0043】TO220外形のMOSFETの一つを用いた例としては、耐圧30Vで導通抵抗4.7mΩ以下と低いものが有り、定常状態で全導通すると電流10Aでも導通電圧0.047V以下、損失0.47W以下で、電力損失の放熱板は省略することができ、整流回路の小型化が可能となる。電流5Aの場合は導通電圧0.018V以下、損失0.12W以下なので電力損失は無視できる。

【0044】また、非飽和半導体の導通抵抗は交流電源の周期より長い時定数で低下し始めるので、突入電流の最大値は電源投入時の交流電源の電圧瞬時値に無関係となり、突入電流を所定の値に押さえた以降の時間は定常状態前でも非飽和半導体の導通抵抗はさらに下がり、抵抗損失が小さくなる。

【0045】MOSFETはDC定格電流に対するサージ定格電流の倍率が大きくないことがある。そのため、サージ定格電流を確保すると交流電源Vacが高い場合に、整流出力の電位Voが十分立ち上がる前にON抵抗が低くなりすぎ、突入電流が再び大きくなる場合もある。また、制御電極インピーダンスが高すぎ、ゲートソース間電圧が定格以上に駆動される場合もある。しかし、ツェナーダイオードでスレッシュホールド電圧程度のゲートソース間電圧に制限すれば良く、電力損失の低減が容易である。

【図面の簡単な説明】

【図1】、

【図2】、

【図3】本発明を用いた平滑整流回路のブロック構成例を示した図

【図4】トライアックを用いた従来の整流平滑回路のブロック構成例を示した図

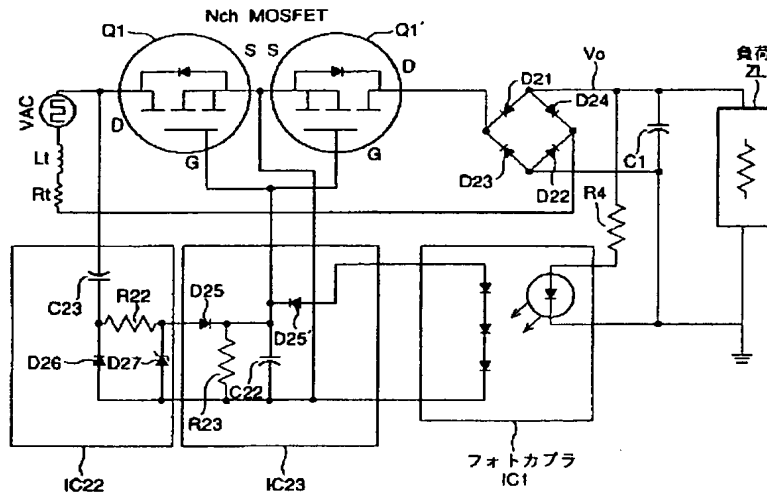
【図5】、

【図6】整流平滑回路の動作波形例の様子を示した図
【符号の説明】

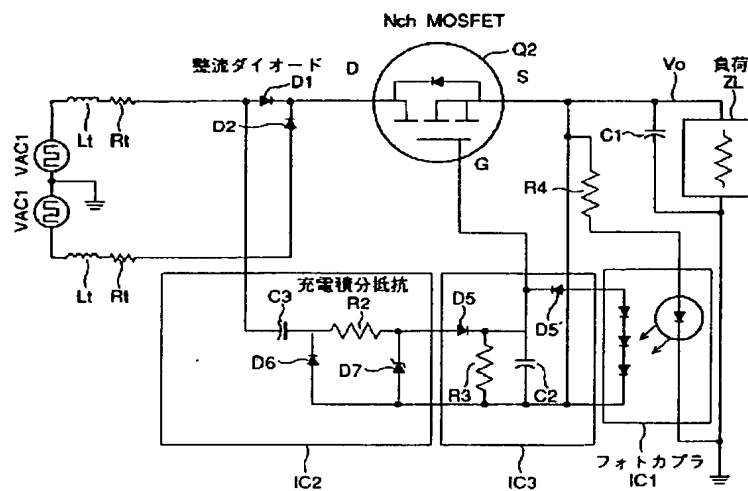
Vac、Vac1：交流電源トランスの出力、D1～D4、D11～D14、D21～D24：整流ダイオード、Q1、Q2、Q1'、Q2'：非飽和半導体素 *

*子、TRK1：トライアック、C1：平滑容量、ZL：負荷、Vo：整流回路出力電圧、IC1、IC2、IC3：駆動回路、T2：結合トランス、SW1：方形波発生スイッチ *

【図1】



【図2】



[illegible]

【図5】

